

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平7-38113

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl. <sup>*</sup>	識別記号	序内整理番号	P I	技術表示箇所
H 01 L 29/788				
21/338				
21/20		8122-4M		
		9056-4M	H 01 L 29/78	3 1 1 P
		9056-4M		3 1 1 Y
			審査請求 未請求 請求項の数5 FD (全5頁)	最終頁に続く

(21)出願番号

特願平5-19985

(22)出願日

平成5年(1993)7月20日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 西澤 克彦

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

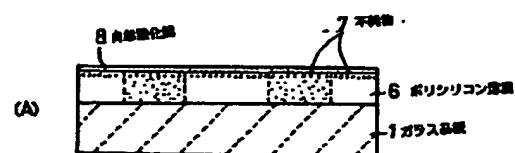
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 ポリシリコン薄膜の膜質を良くする。

【構成】 ガラス基板1の上面にアモルファシリコン薄膜を目的とする膜厚よりも100Å程度厚く形成する。次に、エキシマレーザを照射すると、アモルファシリコン薄膜がポリ化してポリシリコン薄膜6となる。次に、ポリシリコン薄膜6の膜質を安定化するために、窒素雰囲気中において熱処理を行うと、ポリシリコン薄膜6の表面に自然酸化膜8が形成される。次に、1%フッ酸に1分間程度没し、エッチングを行う。すると、自然酸化膜8が数秒間程度で除去され、この後ポリシリコン薄膜6の表面層が100Å程度除去される。これにより、レーザアニールにより溶融したアモルファシリコン薄膜がガラス基板1側から凝固してポリ化し、アモルファシリコン薄膜中に存在する不純物7がポリシリコン薄膜6の表面層に集中して残留していても、この残留する不純物7が除去されることになる。



BEST AVAILABLE COPY

1

2

## 【特許請求の範囲】

【請求項1】 基板上に形成された半導体薄膜をレーザアニールした後、前記半導体薄膜の表面層を該表面層に集中した不純物と共に除去することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記半導体薄膜は前記レーザアニール前アモルファスシリコン薄膜であって、前記レーザアニールにより該アモルファスシリコン薄膜をポリ化することを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記レーザアニール後に熱処理を施し、この後前記半導体薄膜の表面層を除去することを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項4】 前記熱処理は窒素雰囲気中で行うことを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 前記熱処理は酸素雰囲気中で行うことを特徴とする請求項3記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 薄膜トランジスタの製造分野では、ガラス基板上に形成したアモルファスシリコン薄膜を、レーザアニールすることにより、ポリ化してポリシリコン薄膜とすることがある。この場合、レーザアニールにより溶融したアモルファスシリコン薄膜がガラス基板側から凝固してポリ化する。また、イオン注入後のポリシリコン薄膜をレーザアニールして活性化することもあるが、この場合もレーザアニールにより溶融したポリシリコン薄膜がガラス基板側から凝固する。

## 【0003】

【発明が解決しようとする課題】 このように、レーザアニールにより溶融したアモルファスシリコン薄膜等からなる半導体薄膜がガラス基板側から凝固するので、半導体薄膜中に存在する不純物がその表面層に集中して残留することになる。この結果、このような構造の半導体薄膜を備えた薄膜トランジスタでは、半導体薄膜の膜質が良くなく、オン電流、オフ電流、しきい値電圧等の電気的特性が劣化するという問題があった。この発明の目的は、半導体薄膜の膜質を良くすることのできる薄膜トランジスタの製造方法を提供することにある。

## 【0004】

【課題を解決するための手段】 この発明は、基板上に形成された半導体薄膜をレーザアニールした後、前記半導体薄膜の表面層を該表面層に集中した不純物と共に除去するようにしたものである。

## 【0005】

【作用】 この発明によれば、半導体薄膜の表面層を該表面層に集中した不純物と共に除去することになるので、半導体薄膜の膜質を良くすることができる。

## 【0006】

【実施例】 図1～図8はそれぞれこの発明の一実施例における薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、薄膜トランジスタの製造方法について説明する。

## 【0007】

まず、図1に示すように、ガラス基板1の上面にSiH<sub>4</sub>とH<sub>2</sub>との混合ガスを用いたプラズマCVDにより水素化アモルファスシリコン薄膜2を堆積する。この場合、水素化アモルファスシリコン薄膜2の膜厚が目的とする膜厚よりもある程度厚くなるようになる。例えば、目的とする膜厚が500Å程度であるならば、プラス100Åの600Å程度とする。また、堆積条件としては、ガラス基板1の温度を200～350°C程度望ましくは250°C程度とし、10～20SCCM程度のSiH<sub>4</sub>とその10倍程度のH<sub>2</sub>との混合ガスを用いる。すると、水素化アモルファスシリコン薄膜2の水素含有量は10～20atomic%程度となる。

次に、後の工程でエキシマレーザ照射により高エネルギーを与えたとき水素が突沸して欠陥が生じるのを回避するために、脱水素処理を行う。この場合、窒素雰囲気中において450°C程度の温度で1時間程度の熱処理を行い、水素含有量が3atomic%以下望ましくは1atomic%以下となるようする。

【0008】 次に、図2に示すように、脱水素処理後のアモルファスシリコン薄膜3のソース・ドレイン形成領域3a以外の領域に対応する部分の上面にフォトレジスト膜4を形成する。次に、このフォトレジスト膜4をマスクとしてアモルファスシリコン薄膜3のソース・ドレイン形成領域3aにリンイオンやボロンイオン等のイオンを注入してイオン注入領域5を形成する。この後、フォトレジスト膜4を除去する。

【0009】 次に、図3に示すように、真空中において基板温度200～400°Cで波長308nmのXeClエキシマレーザをエネルギー密度250～350mJ/cm<sup>2</sup>程度、パルス幅50nsec程度で照射すると、アモルファスシリコン薄膜3がポリ化してポリシリコン薄膜6になると同時にイオン注入領域5が活性化される。この場合、レーザアニールにより溶融したアモルファスシリコン薄膜3がガラス基板1側から凝固することにより、アモルファスシリコン薄膜3中に存在する不純物7がポリシリコン薄膜6の表面層に集中する。このとき、ガラス基板1の温度を200～400°Cとすると、凝固速度は室温の場合の60～30%に低減するので、結晶粒径の増大と共に不純物の表面層への一層の集中化を図ることができる。なお、波長308nmのXeClエキシマレーザのほかに、波長248nmのKrF、波長193nmのArF、波長175nmのArCl、波長3

53 nmのXeF等のエキシマレーザを用いてもよいことはもちろんである。また、エキシマレーザ照射を複数回行えば、不純物の表面層への集中をより確実となすことができる。

【0010】次に、ポリシリコン薄膜6の膜質を安定化するために、窒素雰囲気中において500°C程度の温度で熱処理を行うと、図4(A)に示すように、ポリシリコン薄膜6の表面に自然酸化膜8が形成される。次に、1%フッ酸に1分間程度浸し、エッチングを行う。すると、自然酸化膜8が数秒間程度で除去され、この後ポリシリコン薄膜6の表面層が100 Å程度除去される。この状態を図4(B)に示す。このように、ポリシリコン薄膜6の表面層を100 Å程度除去しているので、ポリシリコン薄膜6の表面層に集中して残留している不純物7も同時に除去されることになる。なお、ポリシリコン薄膜6の膜質を安定化するために、窒素雰囲気中ではなく、酸素雰囲気中において500~600°C程度の温度で熱処理を行ってもよい。この場合、窒素雰囲気中の熱処理の場合よりもエッチング時間を短縮することができるので、ガラス基板1に与えるダメージを少なくすることができる。また、エッチングはドライエッチングであってもよい。

【0011】次に、図5に示すように、素子分離により、不要な部分のポリシリコン薄膜6を除去する。この状態では、ポリシリコン薄膜6の中央部はチャネル領域6aとされ、その両側は活性化イオン注入領域からなるソース・ドレイン領域6bとされている。次に、図6に示すように、全表面に酸化シリコン膜と塗化シリコン膜とからなるゲート絶縁膜9を形成する。すなわち、まず全表面にスパッタにより酸化シリコン膜を堆積し、次いでこの酸化シリコン膜の表面にSiH<sub>4</sub>とNH<sub>3</sub>とN<sub>2</sub>とからなる混合ガスを用いたプラズマCVDにより塗化シリコン膜を堆積する。プラズマCVDにより塗化シリコン膜を堆積する場合、ガラス基板1の温度を250°C程度とし、SiH<sub>4</sub>を30 SCCM程度とし、NH<sub>3</sub>を60 SCCM程度とし、N<sub>2</sub>を390 SCCM程度とし、出力600W程度、圧力0.5 Torr程度で行うと、同時にポリシリコン薄膜6が水素化されてそのダングリングボンドが減少する。このように、ポリシリコン薄膜6上にアラズマCVDによりゲート絶縁膜9を堆積するのと同時にポリシリコン薄膜6を水素化してそのダングリングボンドを減らしているので、ゲート絶縁膜9の堆積とポリシリコン薄膜6の水素化を一度のアラズマCVDで同時に行うことができ、したがって独自の水素化工程を省略することができ、ひいては製造工程数を少なくすることができる。次に、チャネル領域6aに対応する部分のゲート絶縁膜9の上面にCrからなるゲート電極10を形成する。

【0012】次に、図7に示すように、全表面に塗化シリコン等からなる層間絶縁膜11を形成する。次に、ソ

ース・ドレイン領域6bに対応する部分の層間絶縁膜11およびゲート絶縁膜9にコンタクトホール12を形成する。次に、図7に示すように、コンタクトホール12を介してソース・ドレイン領域6bと接続されるA1からなるソース・ドレイン電極13を層間絶縁膜11の上面にパターン形成する。かくして得られた電界効果型の薄膜トランジスタでは、オン電流、オフ電流、しきい値電圧等の電気的特性が向上し、移動度も80 cm<sup>2</sup>/V·sec以上であり、ポリシリコン薄膜6の膜質が極めて良好であることが確認された。

【0013】なお、上記実施例では、プラズマCVDにより水素化アモルファスシリコン薄膜2を堆積した後脱水素処理を行っているが、これに限定されるものではなく、例えばLPCVDにより水素を含有しないアモルファスシリコン薄膜を堆積するようにしてもよい。この場合、LPCVDにより水素を含有しないアモルファスシリコン薄膜を堆積する際のガラス基板1の温度を500~600°C程度とし、ポリ化および活性化するためのエキシマレーザのエネルギー密度を400 mJ/cm<sup>2</sup>程度とする。したがって、この場合には脱水素処理を行う必要はないが、ガラス基板1の温度を500~600°C程度と比較的高温とすることになるので、基板温度の昇温に時間が余計にかかることになる。また、ガラス基板1の温度を600°C程度とした場合には、アモルファスシリコン薄膜ではなくポリシリコン薄膜が直接堆積されることになるが、その後のエキシマレーザ照射によりその結晶粒径が成長し、したがってポリシリコン薄膜の結晶構造を良くすることができる。

【0014】また、上記実施例では、ポリ化と活性化を一度のエキシマレーザ照射で同時に行っているが、これは別々に行ってもよい。要は、ゲート絶縁膜9を形成する前に、レーザアニールによってポリシリコン薄膜の表面層に集中した不純物を除去することができればよい。このとき、ポリシリコン薄膜の膜質を安定化するための熱処理を行った場合には、ポリシリコン薄膜の表面に形成された自然酸化膜も除去される。

【0015】また、上記実施例では、この発明を通常のMOS構造の薄膜トランジスタに適用した場合について説明したが、通常のMOS構造の薄膜トランジスタと比較して、耐圧の向上等を図って高信頼化したLDD構造の薄膜トランジスタにも適用することができる。例えば、図8と同一名称部分には同一の符号を付した図9に示すLDD構造の薄膜トランジスタでは、ポリシリコン薄膜6の中央部をチャネル領域6aとされ、その両側をイオン濃度の低いソース・ドレイン領域6cとされた構造となっている。このLDD構造の薄膜トランジスタを製造する場合には、例えば図2に示すような状態において、イオン濃度の低いソース・ドレイン領域6bおよびイオン濃度の高いソース・ドレイン領域

6cを形成すべき部分に低濃度のイオンを注入し、次いでフォトレジスト膜4を除去し、次いでイオン濃度の高いソース・ドレイン領域6cを形成すべき部分以外の部分の上面に別のフォトレジスト膜を形成し、この別のフォトレジスト膜をマスクとしてイオン濃度の高いソース・ドレイン領域6cを形成すべき部分に高濃度のイオンを注入するようすればよい。

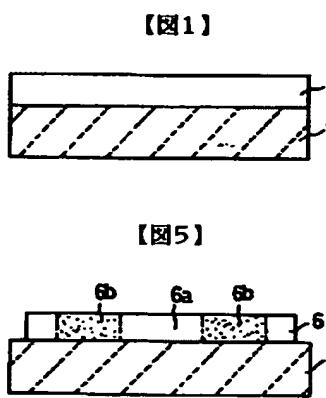
【0016】さらに、上記実施例では、この発明をトップゲート型のコプラナ構造の薄膜トランジスタに適用した場合について説明したが、スタガ構造やバックゲート型のコプラナまたはスタガ構造の薄膜トランジスタにも適用し得ることはもちろんである。バックゲート型の場合、ガラス基板の上面にゲート電極およびゲート絶縁膜を形成し、その上にアモルファスシリコン薄膜を堆積し、このアモルファスシリコン薄膜をポリ化してポリシリコン薄膜とする。また、ポリシリコン薄膜の水素化処理は、ポリシリコン薄膜上にバッショーション膜（絶縁膜）をプラズマCVDにより堆積する際に同時にを行うことができる。

#### 【0017】

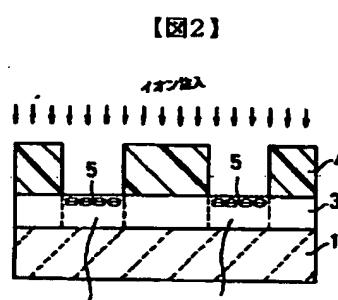
【発明の効果】以上説明したように、この発明によれば、半導体薄膜の表面層を該表面層に集中した不純物と共に除去しているので、半導体薄膜の膜質を良くすることができ、ひいてはオン電流、オフ電流、しきい値電圧等の電気的特性を向上することができる。

#### 【図面の簡単な説明】

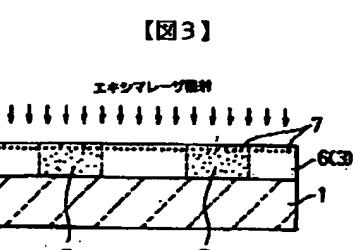
【図1】この発明の一実施例における薄膜トランジスタの製造に際し、ガラス基板の上面に水素化アモルファスシリコン薄膜を堆積した状態の断面図。



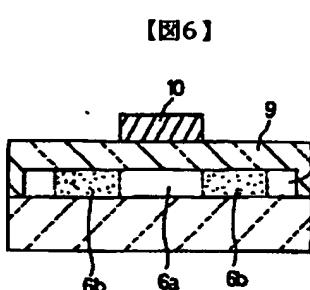
【図5】



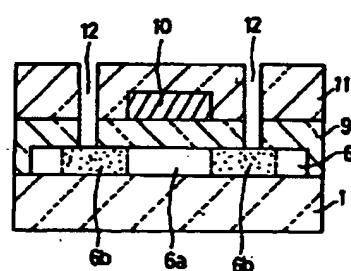
【図2】



【図3】



【図6】



【図7】

【図2】同薄膜トランジスタの製造に際し、脱水素処理後のアモルファスシリコン薄膜のソース・ドレイン形成領域にイオンを注入した状態の断面図。

【図3】同薄膜トランジスタの製造に際し、エキシマーレーザーを照射することにより、アモルファスシリコン薄膜をポリ化すると同時にイオン注入領域を活性化した状態の断面図。

【図4】(A)は同薄膜トランジスタの製造に際し、熱処理により、ポリシリコン薄膜の表面に自然酸化膜を形成した状態の断面図、(B)は同薄膜トランジスタの製造に際し、エッチングにより、ポリシリコン薄膜の表面層を除去した状態の断面図。

【図5】同薄膜トランジスタの製造に際し、素子分離により、不要な部分のポリシリコン薄膜を除去した状態の断面図。

【図6】同薄膜トランジスタの製造に際し、ゲート絶縁膜およびゲート電極を形成した状態の断面図。

【図7】同薄膜トランジスタの製造に際し、層間絶縁膜をおよびコンタクトホールを形成した状態の断面図。

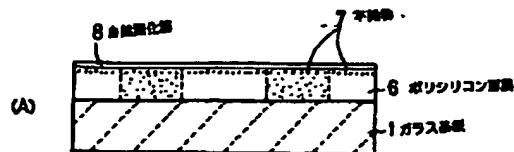
【図8】同薄膜トランジスタの製造に際し、ソース・ドレイン電極を形成した状態の断面図。

【図9】この発明をLDD構造の薄膜トランジスタに適用した場合の図8同様の断面図。

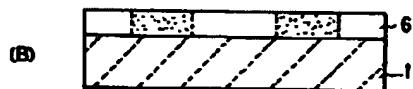
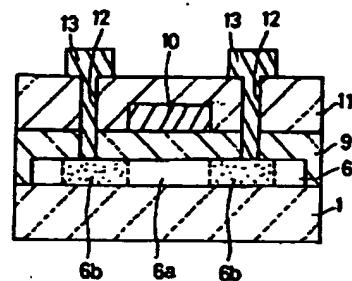
#### 【符号の説明】

- 1 ガラス基板
- 3 アモルファスシリコン薄膜
- 6 ポリシリコン薄膜
- 7 不純物
- 8 自然酸化膜

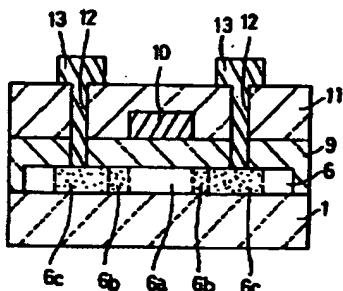
【図4】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/268識別記号 庁内整理番号  
Z 8617-4M

F I

技術表示箇所

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-038113

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
H01L 21/20  
H01L 21/268

(21)Application number : 05-199895

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 20.07.1993

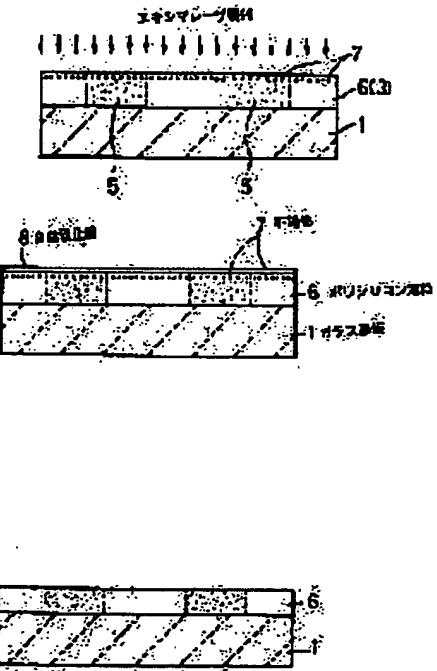
(72)Inventor : MOROSAWA KATSUHIKO

## (54) MANUFACTURE OF THIN FILM TRANSISTOR

### (57)Abstract:

**PURPOSE:** To improve the film quality of a semiconductor film by removing the impurities collected on the surface layer together with the surface layer of the semiconductor film after the semiconductor film formed on a substrate has been laser-annealed.

**CONSTITUTION:** The impurities 7 present in an amorphous silicon thin film 3 are concentrated on the surface of a polysilicon thin film 6 by solidifying from the side of a substrate 1, the amorphous silicon thin film 3 which is fused by laser annealing. A natural oxide film 8 is formed on the surface of the polysilicon thin film 6 when heat treatment is conducted in a nitrogen atmosphere. Then, the above-mentioned material is dipped into 1% fluoric acid for one minute, and etching treatment is conducted. As a result, the natural oxide film 8 is removed in about several seconds, and 100&angst; or thereabout of the surface of the polysilicon thin film 6 is removed. Consequently, the impurities 7 which are concentrated on the surface layer of the polysilicon thin film 6 are removed simultaneously. Accordingly, the film quality of the polysilicon thin film 6 can be stabilized.



## LEGAL STATUS

[Date of request for examination] 29.09.1999

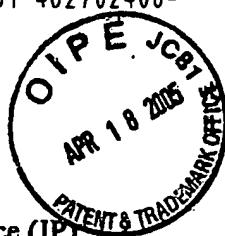
[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3374455  
[Date of registration] 29.11.2002  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



JPH07-38113

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: H7-38113

(43) Date of Publication of Application: H7, February 7 (1995.2.7)

5 (51) Int. Cl.<sup>6</sup> Identification Mark Office Reference Number FI

H01L 29/786

21/336

21/20 8122-4M

9056-4M H01L 29/78 311 P

10 9056-4M 311 Y

Section showing technique

Request for Examination: Not made Number of Claims: 5 FD (Total Pages: 5)

Continued on the last page

(21) Application Number: H5-199895

15 (22) Application Date: H5, July 20 (1993.7.20)

(71) Applicant 000001443

CASIO COMPUTER CO., LTD.

2-6-1, Nishishinjuku, Shinjuku-ku, Tokyo

(72) Inventor Katsuhiko Morosawa

20 c/o Casio Computer Co., Ltd. Hachioji Laboratory

2951-5, Ishikawa-cho, Hachioji-shi, Tokyo

(74) Agent Patent Attorney Jiro Sugimura

(54) [Title of the Invention] MANUFACTURING METHOD OF THIN FILM

25 TRANSISTOR

(57) [Abstract]

[Object] To enhance membranous quality of a poly-silicon thin film.

[Structure] An amorphous silicon thin film is formed over a top surface of a glass substrate 1 to have a thickness that is thicker by about 100 angstrom than a thickness to be designed. Then, the amorphous silicon thin film is polymerized by excimer laser

30

exposure to become a poly-silicon thin film 6. Then, heat treatment is conducted in a nitrogen gas atmosphere to stabilize membranous quality of the poly-silicon thin film 6 and then a natural oxidation film 8 is formed on the surface of the poly-silicon thin film 6. Then, etching is performed by dipping in 1% of fluoric acid for approximately 1 minute. Then, the natural oxidation film 8 is removed in several seconds, and approximately 100 angstrom of the surface layer of the poly-silicon thin film 6 is removed after this. Thus, the amorphous silicon thin film melted by laser annealing solidifies to be polymerized from the glass substrate 1 side, and if an impurity 7 existing in the amorphous silicon thin film is concentrated and remains at the surface layer of the poly-silicon thin film 6, the remaining impurity 7 is removed.

[Scope of Claims]

[Claim 1] A manufacturing method of a thin film transistor, characterized in that after a semiconductor thin film formed over a substrate is annealed by a laser, a surface layer of the semiconductor thin film is removed together with impurities concentrated at the surface layer.

[Claim 2] The manufacturing method of a thin film transistor as recited in Claim 1, characterized in that the semiconductor thin film is an amorphous silicon thin film before the laser annealing is conducted, and the amorphous silicon thin film is polymerized by the laser annealing.

[Claim 3] The manufacturing method of a thin film transistor as recited in Claim 1, characterized in that heat treatment is conducted after the laser annealing and the surface layer of the semiconductor thin film is removed after this.

[Claim 4] The manufacturing method of a thin film transistor as recited in Claim 3, characterized in that the heat treatment is conducted in a nitrogen gas atmosphere.

[Claim 5] The manufacturing method of a thin film transistor as recited in Claim 3, characterized in that the heat treatment is conducted in an oxygen gas atmosphere.

[Detailed Description of the Invention]

30 [0001]

[Industrial Field of the Invention] The present invention relates to a manufacturing method of a thin film transistor.

[0002]

[Prior Art] In a manufacturing field of a thin film transistor, there is a case that an amorphous silicon thin film formed over a glass substrate is annealed by a laser to be polymerized for obtaining a poly-silicon thin film. In this case, the amorphous silicon thin film melted by laser annealing solidifies to be polymerized from the glass substrate side. Further, there is a case that a poly-silicon thin film into which ions have been implanted is activated by laser annealing. Also in this case, the poly-silicon thin film melted by laser annealing solidifies from the glass substrate side.

[0003]

[Problems to be solved by the Invention] As described above, a semiconductor thin film made of an amorphous silicon thin film or the like melted by laser annealing solidifies from the glass substrate side. Thus, impurities existing in the semiconductor thin film are concentrated at a surface layer thereof and remain. As the result thereof, in a thin film transistor provided with a semiconductor thin film having such a structure, there are problems in that membranous quality of the semiconductor thin film is not favorable, and electric characteristics such as on-current, off-current and a threshold voltage are deteriorated. An object of this invention is to provide a manufacturing method of a thin film transistor that can enhance membranous quality of a semiconductor thin film.

[0004]

[Means for solving the Problems] According to this invention, after a semiconductor thin film formed over a glass substrate is annealed by a laser, a surface layer of the semiconductor thin film and impurities concentrated at the surface layer are removed together.

[0005]

[Operation] According to this invention, membranous quality of the semiconductor thin film can be enhanced by removing the surface layer of the semiconductor thin film together with impurities concentrated at the surface layer.

## [0006]

[Example] Each of FIGS. 1 to 8 shows each manufacturing step of a thin film transistor in one example of this invention. Then, a manufacturing method of a thin film transistor is described sequentially with reference to these drawings.

- 5 [0007] First, as shown in FIG. 1, a hydrogenated amorphous silicon thin film 2 is deposited by plasma CVD using a mixed gas of SiH<sub>4</sub> and H<sub>2</sub> over a top surface of a glass substrate 1. In this case, the film-thickness of the hydrogenated amorphous silicon thin film 2 is set somewhat thicker than a thickness to be designed. For example, if the thickness to be designed is about 500 angstrom, the film-thickness is set  
10 about 600 angstrom by adding 100 angstrom. In addition, as the condition of deposition, the temperature of the glass substrate 1 is about 200 to 350 °C, preferably about 250 °C, and a mixed gas of SiH<sub>4</sub> of about 10 to 20 SCCM and H<sub>2</sub> of about ten times thereof is used. Then, the hydrogen content of the hydrogenated amorphous silicon thin film 2 is about 10 to 20 atomic%. Then, dehydrogenation treatment is  
15 conducted to prevent hydrogen from boiling rapidly to cause defects when high energy is added by excimer laser exposure in a subsequent step. In this case, heat treatment is conducted for about one hour in a nitrogen gas atmosphere at a temperature of about 450 °C so that the hydrogen content is 3 atomic% or less, preferably 1 atomic% or less.
- [0008] Next, as shown in FIG. 2, a photo resist film 4 is formed over a top surface of a portion corresponding to a region except a source-drain formation region 3a of an amorphous silicon thin film 3 that has been dehydrogenated. Then, ions such as a phosphorus ion or a boron ion are implanted into the source/drain formation region 3a of the amorphous silicon thin film 3 using this photo resist film 4 as a mask to form an ion-implanted region 5. Thereafter, the photo resist film 4 is removed.  
20
- 25 [0009] Next, as shown in FIG. 3, the amorphous silicon thin film 3 is irradiated with XeCl excimer laser with a wavelength of 308 nm, from 250 to 350 mJ/cm<sup>2</sup> of the energy density, and 50 ns of pulse width. The condition of irradiation is set at the substrate temperature from 200 to 400 °C and in a vacuum. Then, the amorphous silicon thin film 3 is polymerized to be a poly-silicon thin film 6 and the ion-implanted region 5 is  
30 activated at the same time. In this case, when the amorphous silicon thin film 3 melted

by laser annealing solidifies from a glass substrate 1 side, an impurity 7 which exists in the amorphous silicon thin film 3 is concentrated at the surface layer of the poly-silicon thin film 6. When temperature of the glass substrate 1 is set at from 200 to 400 degrees C at this time, since a coagulation rate is to be reduced to from 60 to 30% in the  
5 case of a room temperature, much more concentration to the surface layer of an impurity can be attained with increase of the diameter of a crystal grain. In addition, of course, excimer laser other than XeCl excimer laser with a wavelength of 308 nm, such as KrF with a wavelength of 248 nm, ArF with a wavelength of 193 nm, ArCl with a wavelength of 175 nm, and XeF with a wavelength of 353 nm, may be used.  
10 Moreover, if excimer laser exposure is performed two or more times, the surface layer of an impurity can be concentrated more certainly.

[0010] Next, heat treatment is conducted at approximately 500 °C in a nitrogen gas atmosphere in order to stabilize the membranous quality of the poly-silicon thin film 6. Then, as shown in FIG 4A, a natural oxidation film 8 is formed on a surface of the  
15 poly-silicon thin film 6. Next, etching is performed by dipping in 1% of fluoric acid for approximately 1 minute. Then, the natural oxidation film 8 is removed in several seconds, and approximately 100 angstrom of surface layer of the poly-silicon thin film 6 is removed after this. This condition is shown in FIG 4B. Thus, since approximately 100 angstrom of a surface layer of the poly-silicon thin film 6 is removed, the impurity  
20 7 which is concentrated and remains at the surface layer of the poly-silicon thin film 6 is also removed at the same time. Furthermore, in order to stabilize the membranous quality of the poly-silicon thin film 6, the heat treatment may be conducted at a temperature of approximately 500 to 600 °C in an oxygen gas atmosphere instead of the nitrogen gas atmosphere. In this case, since etching time can be shorter than the case  
25 of heat treatment in the nitrogen gas atmosphere, a damage given to the glass substrate 1 can be lessened. Moreover, etching may be dry etching.

[0011] Next, as shown in FIG 5, an unnecessary part of the poly-silicon thin film 6 is removed by element separation. In this condition, the center section of the poly-silicon thin film 6 is set to a channel region 6a, and those opposite sides are set to source/drain  
30 regions 6b including an activation ion-implantation region. Next, as shown in FIG. 6, a

gate insulating film 9 which is formed of a silicon oxide film and a silicon nitride film is formed over whole surface of the substrate. That is, the silicon oxide film is first deposited over whole surface of the substrate by sputtering, and subsequently, the silicon nitride film is deposited by plasma CVD using the mixed gas including SiH<sub>4</sub>, NH<sub>3</sub>, and N<sub>2</sub> on the surface of the silicon oxide film. When the silicon nitride film is deposited by plasma CVD, a temperature of the glass substrate 1 is set at approximately 250 °C, SiH<sub>4</sub> is set at approximately 30 SCCM, NH<sub>3</sub> is set at approximately 60 SCCM, N<sub>2</sub> is set at approximately 390 SCCM and it carries out in output power set at approximately 600 W and a pressure set at approximately 0.5 Torr in order to hydrogenate the poly-silicon thin film 6 at the same time and to reduce dangling bonds thereof. Thus, the gate insulating film 9 is deposited by plasma CVD over the poly-silicon thin film 6 and at the same time, the poly-silicon thin film 6 is hydrogenated to decrease the dangling bonds thereof. Therefore, deposition of the gate insulating film 9 and hydrogenation of the poly-silicon thin film 6 can be performed by one-time plasma CVD at the same time. Consequently, a process only for hydrogenation can be omitted, as a result, the number of manufacturing processes can be lessened. Next, a gate electrode 10 including Cr is formed at the top face of the gate insulating film 9 of the part corresponding to the channel region 6a.

[0012] Subsequently, as shown in FIG. 7, an interlayer insulating film 11 comprising a silicon nitride film is formed over the whole surface. Then, a contact hole 12 is formed in the interlayer insulating film 11 and the gate insulating film 9 of the part corresponding to the source/drain regions 6b. Then, as shown in FIG. 7, source/drain electrodes 13 made of Al to be connected to the source/drain regions 6b through the contact hole 12 are formed by patterning over a top surface of the interlayer insulating film 11. In the thusly obtained field-effect type thin film transistor, it is confirmed that electric characteristics such as on-current, off-current, and a threshold voltage are enhanced, the mobility is  $80 \text{ cm}^2/\text{V}\cdot\text{sec}$  or more, and the membranous quality of the poly-silicon thin film 6 is extremely favorable.

[0013] Note that in the above example, dehydrogenation treatment is conducted after the hydrogenated amorphous silicon thin film 2 is deposited by plasma CVD; however,

JPH07-38113

- without being limited to this, for example, an amorphous silicon thin film without containing hydrogen may be deposited by LPCVD. In this case, the temperature of the glass substrate 1 is about 500 to 600 °C when an amorphous silicon thin film without containing hydrogen is deposited by LPCVD and the energy density of the excimer laser is set at about 400 mJ/cm<sup>2</sup> for polymerization and activation. Therefore, dehydrogenation treatment is not needed in this case. However, since the temperature of the glass substrate 1 is relatively high, about 500 to 600 °C, the increase in the substrate temperature needs more time. In addition, if the temperature of the glass substrate 1 is about 600 °C, a poly-silicon thin film is directly deposited instead of an amorphous silicon thin film, and a crystal grain diameter is grown by excimer laser exposure after that; therefore, a crystal structure of the poly-silicon thin film can be enhanced.
- [0014] Further, in the above example, polymerization and activation are conducted at the same time by one-time excimer laser exposure; however, they are conducted separately. The point is that impurities concentrated at the surface layer of the poly-silicon thin film can be removed by laser annealing before forming the gate insulating film 9. At this time, in the case of conducting heat treatment for stabilizing the membranous quality of the poly-silicon thin film, a natural oxidation film formed on the surface of the poly-silicon thin film is also removed.
- [0015] Further, in the above example, the case where this invention is applied to a general thin film transistor having a MOS structure is described. However, this invention can be also applied to a thin film transistor having an LDD structure in which withstand voltage or the like is improved to obtain higher reliability as compared with the general thin film transistor having a MOS structure. For example, in a thin film transistor having an LDD structure shown in FIG. 9 where the same reference numbers are used for portions having the same name as those of FIG. 8, a center section of the poly-silicon thin film 6 is made as a channel region 6a, the opposite sides thereof are source/drain regions 6b having low ion concentration, and the more opposite sides thereof are source/drain regions 6c having high ion concentration. When a thin film transistor having this LDD structure is formed, low concentration of ions are implanted

in a portion for forming the source/drain regions 6b having low ion concentration and the source/drain regions 6c having high ion concentration in the state shown in FIG. 2, for example. Then, the photo resist film 4 is removed, and then a different photo resist film is formed over a top surface of a portion except the portion for forming the 5 source/drain regions 6c having high ion concentration and high concentration of ions may be implanted into the portion for forming the source/drain regions 6c having high ion concentration using the different photo resist film as a mask.

[0016] Moreover, in the above example, the case where this invention is applied to a thin film transistor having a top gate type coplanar structure is described; however, it is 10 clear that this invention can be applied to a thin film transistor having a stagger structure, a back gate type coplanar structure or stagger structure. In the case of a back gate type, a gate electrode and a gate insulating film are formed over a top surface of a glass substrate, an amorphous silicon thin film is deposited thereover, and the amorphous silicon thin film is polymerized to become a poly-silicon thin film. In addition, 15 hydrogenation treatment of the poly-silicon thin film can be conducted at the same time as depositing a passivation film (an insulating film) over the poly-silicon thin film by plasma CVD.

[0017]

[Effect of the Invention] As described above, according to this invention, since a 20 surface layer of a semiconductor thin film is removed together with impurities concentrated at the surface layer, membranous quality of the semiconductor thin film can be enhanced and electric characteristics such as on-current, off-current, and a threshold voltage can be improved.

[Detailed description of the Drawings]

25 [FIG. 1] A cross-sectional view of a state where a hydrogenated amorphous silicon thin film is deposited over a top surface of a glass substrate when manufacturing a thin film transistor in one example of this invention.

[FIG. 2] A cross-sectional view of a state where ions are implanted into source/drain formation regions of an amorphous silicon thin film that has been dehydrogenated when 30 manufacturing the thin film transistor.

[FIG 3] A cross-sectional view of a state where an ion-implanted region is activated at the same time as polymerizing an amorphous silicon thin film by excimer laser exposure when manufacturing the thin film transistor.

5 [FIG 4] (A) A cross-sectional view of a state where a natural oxidation film is formed on a surface of the poly-silicon thin film by heat treatment when manufacturing the thin film transistor. (B) A cross-sectional view of a state where the surface layer of the poly-silicon thin film is removed by etching when manufacturing the thin film transistor.

10 [FIG. 5] A cross-sectional view of a state where an unnecessary part of the poly-silicon thin film is removed by element separation when manufacturing the thin film transistor.

[FIG. 6] A cross-sectional view of a state where a gate insulating film and a gate electrode are formed when manufacturing the thin film transistor.

15 [FIG. 7] A cross-sectional view of a state where an interlayer insulating film and a contact hole are formed when manufacturing the thin film transistor.

[FIG. 8] A cross-sectional view of a state where source/drain electrodes are formed when manufacturing the thin film transistor.

[FIG. 9] The same cross-sectional view as that of FIG. 8, in the case where this invention is applied to a thin film transistor having an LDD structure.

20 [Description of Reference Number]

1 glass substrate

3 amorphous silicon thin film

6 poly-silicon thin film

7 impurity

25 8 natural oxidation film

---

continuation from the front page

(51) Int. Cl.<sup>6</sup> Identification Mark Office Reference Number FI

30 H01L 21/268

Z 8617-4M

FROM 001-5714342916=RIP10

/081-462/02408=

/05-04-08-16:13/001-012<sup>00005173143</sup> P 12

JPH07-38113

Section showing technique

10/10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**